

Japanese Patent Office
Utility Model Laying-Open Gazette

Utility Model Laying-Open No.	64-47116
Date of Laying-Open:	March 23, 1989
International Class(es):	H03 F 1/30 1/52 3/21

Title of the Invention:	Bias Power Circuit for High power Transistor Amplifier
Utility Model Appln. No.	62-141918
Filing Date:	September 17, 1987
Inventor(s):	Mitsuhiro Domae
Applicant(s):	Mitsubishi Denki Kabushiki Kaisha

(transliterated, therefore the
spelling might be incorrect)

Partial Translation of Utility Model Laying-Open No. 64-47116

[Prior Art]

Fig. 2 is a circuit diagram showing a power supply circuit of a conventional high-power transistor amplifier. In the figure, reference numeral (1) represents a high-power field effect transistor (high-power FET); reference numeral (2) represents a small signal transistor for constituting a constant current circuit; reference numeral (3) represents a diode compensating for a temperature characteristic of the small signal transistor (2); reference numerals (4) to (8) represent resistors determining a voltage of a bias power supply circuit; reference numeral (9) represents a positive power supply voltage terminal supplying a drain current; reference numeral (10) represents a negative power supply voltage terminal supplying a gate voltage; reference numeral (11) represents a microwave signal input terminal to the high-power FET (1); and reference numeral (12) represents a microwave signal output terminal.

An operation will now be described. In Fig. 2, the high-power FET (1) is supplied with the drain current from the positive power supply voltage terminal (9) through the resistor (4). The high-power FET (1) requires a current value of approximately 200mA to 2000mA, and a rated capacity of the resistor (4) is set to 1W to several W, taking into account derating. The small signal transistor (2) is determined by a current flowing from the positive power supply voltage terminal (9) to the diode (3), the resistors (5) and (6), and the resistor (4). In response to an emitter-base voltage, the resistor (8) operates so that the constant current flows therein. The diode (3) serves to compensate for the temperature characteristic of an emitter-base resistance of the transistor (2). A gate voltage of the high-power FET (1) is set in accordance with a value of the current flowing in the resistor (8) and a voltage value of the negative power supply voltage terminal (10), and a drain current thereof is determined by the gate voltage. A power supply impedance of a negative power supply with respect to the gate terminal of the high-power FET (1) is defined by the resistor (8), and accordingly, the

resistance value is set to a value of approximately several hundred Ω required for the high-power FET (1). The reason is as follows. When the high-power FET (1) approaches a point attaining saturation output in terms of microwave signal amplification, a leakage current starts to flow from its gate electrode to the power supply terminal. As such, apparently, the gate voltage varies toward the positive side, and the drain current increases. In order to avoid thermal runaway of the high-power FET (1) of which gate voltage becomes shallow, the variation of the gate voltage needs to be suppressed to a minimum. The circuit shown in Fig. 2 basically aims to keep its drain current constant.

公開実用昭和64-47116

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭64-47116

⑬ Int.Cl.⁴

H 03 F 1/30
1/52
3/21

識別記号

庁内整理番号

A-8836-5J
Z-6707-5J
8836-5J

⑭ 公開 昭和64年(1989)3月23日

審査請求 未請求 (全 頁)

⑮ 考案の名称 高出力トランジスタ増幅器用バイアス電源回路

⑯ 実 願 昭62-141918

⑰ 出 願 昭62(1987)9月17日

⑱ 考 案 者 堂 前 光 洋 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
通信機製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 早 瀬 憲一

明 細 書

1. 考案の名称

高出力トランジスタ増幅器用バイアス電源回路

2. 実用新案登録請求の範囲

(1) 高出力電界効果形トランジスタのゲートバイアス回路の抵抗に所要電流を供給するとともに、当該電流を周囲温度に応じて制御する第1の小信号トランジスタと、

上記ゲートバイアス回路の抵抗値を所要の低い値に保つ第2の小信号トランジスタとを備えた高出力トランジスタ増幅器用バイアス電源回路。

3. 考案の詳細な説明

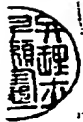
〔産業上の利用分野〕

この考案は、マイクロ波帯で使用する高出力トランジスタ増幅器のバイアス電源回路の構成に関するものである。

〔従来の技術〕

第2図は、従来の高出力トランジスタ増幅器の電源回路を示す回路図である。図において、(1)は高出力電界効果型トランジスタ（高出力FET）、

(1)



(2)は定電流回路を構成するための小信号トランジスタ、(3)は小信号トランジスタ(2)の温度特性を補償するダイオード、(4)～(8)はバイアス電源回路の電圧を決める抵抗である。(9)はドレイン電流を供給する正電源電圧端子、(10)はゲート電圧を供給する負電源電圧端子である。(11)は高出力FET(1)へのマイクロ波信号入力端子であり、(12)はマイクロ波信号出力端子である。

第3図は、従来のマイクロ波帯低出力トランジスタのバイアス電源回路を示す回路図である。図において、ダイオード(3)は小信号トランジスタ(2)のエミッタ側に取り付けられており、小信号トランジスタ(2)による回路は、厳密には定電流回路ではなく、エミッタ・ベース間の電圧に依存して、小信号トランジスタ(2)のコレクタ電流を制御し、抵抗(8)を流れる電流を変化させることができる。第2図、第3図においては、同一符号のものは、同一部分を示す。

次に、動作について説明する。第2図において高出力FET(1)には、抵抗(4)を介して、正電源電

圧端子(9)からドレイン電流が供給される。高出力 FET (1)に必要な電流値は、 $200\text{mA} \sim 2000\text{mA}$ 程度であり、抵抗(4)の定格容量は、(テイレーティングを考慮して、) $1\text{W} \sim \text{数W}$ のものが使用される。小信号トランジスタ(2)は、正電源電圧端子(9)から、ダイオード(3)、抵抗(5)及び(6)、抵抗(4)に流れる電流によつて決まる。エミッタ・ベース電圧により、抵抗(8)は定電流を流すように動作する。ダイオード(3)は、トランジスタ(2)のエミッタ・ベース間抵抗の温度特性を補償するためのものである。高出力 FET (1)のゲート電圧は、抵抗(8)に流れる電流値と負電源電圧端子(10)の電圧値によつて設定され、ドレイン電流はゲート電圧により決まる。高出力 FET (1)のゲート端子から見た負電源の電源インピーダンスは抵抗(8)によつて規定されるため、抵抗値は高出力 FET (1)に必要な数百Ω程度の値に設定される。これは高出力 FET (1)がマイクロ波信号増幅において飽和出力に近づくと、そのゲート電極から電源端子側へ、もれ電流が流れだすので見かけ上、ゲート電圧が正側へ変動し、ドレイ

ン電流が増加して、さらにゲート電圧が浅くなる
高出力FET(1)の熱暴走^{thermal runaway}を防ぐため、ゲート電圧
の変化を最低限に抑えることが必要となるからで
ある。第2図に示す回路は、基本的にそのドレ
イン電流を一定にすることを目的としている。

高出力FET(1)にバイアス電圧を正常に加えた
状態でマイクロ波信号をマイクロ波入力端子(1)に
印加するとマイクロ波出力端子(2)から高出力FET
T(1)が持つ利得で増幅されたマイクロ波信号が出
力される。高出力FET(1)のマイクロ波信号に対
しての利得は、周囲温度によつて変化し、負の温
度特性をもっている。一方、高出力FET(1)の利
得は、第4図に示す利得対ドレイン電流特性を有
しているので、この特性を利用して、利得対温度
特性を補償することが可能で、低出力トランジス
タでは第3図に示すような回路が使用されている。
低出力FET(1a)のマイクロ波信号に対する動作
については特に変わった点はないので詳細説明を省
略する。

第3図において、基本的な回路動作は第2図の

回路と同じであるが、ダイオード(3)を図に示す抵抗(4)と小信号トランジスタ(2)のエミッタに直列に接続する。小信号トランジスタ(2)及びダイオード(3)のpn接合部の温度特性によつて小信号トランジスタ(2)のエミッタ・ベース間電圧を高温時には増加させ低温時には減少させることができるので、抵抗(8)を流れる電流を周囲温度に応じて変化させ、低出力FET(1a)のゲート電圧を高温時には正側へ、低温時には負側へ変化させることができる。その結果低出力FET(1a)を流れるドレイン電流値を変化させることができ、低出力FET(1a)利得対温度特性を利得対ドレイン電流特性によつて補償することができる。ダイオード(3)のpn接合部に流し得る電流値は高々100mA程度であり、この構成では高出力FETには使用できない。また抵抗(8)の値は小信号トランジスタ(2)の h_{fe} 及び低出力トランジスタ(1a)のゲート電圧対ドレイン電流特性によつて制約されるので、自由度は小さい。低出力トランジスタ(1a)のゲート電極から見た負電源の電源インピーダンスは抵抗(8)によつて規定

されるので、この回路構成では負電源の電源インピーダンスに自由度は殆んどなく、経験上、小信号トランジスタ(2)の h_{fe} が100程度であれば、数 $k\Omega$ に選ぶ必要がある。なお、抵抗(4)の定格容量は第2図においては数 W であるが、第3図においては高々100mW程度である。

〔考案が解決しようとする問題点〕

以上に示した通り、第2図に示す回路では、高出力FETの利得対温度特性を補償できる機能がなく、又、第3図に示す回路では、高出力FETのバイアス電源回路に必要となる電流容量が不足で、^{かつ}及び負電源電圧インピーダンスの自由度がないため、どちらも高出力FETの温度補償機能を有するバイアス回路としては採用できないという問題点があつた。



この考案は、上記のような問題点を解決するためになされたもので、高出力トランジスタ増幅器のバイアス電源回路において、高出力FETの利得対温度特性を補償する機能を有し、かつ、高出力FETの信頼性が確保できる負電源インピーダ

ンスを有する回路構成を実現することを目的とする。

〔問題点を解決するための手段〕

この考案における高出力トランジスタ増幅器のバイアス電源回路は、高出力FETに流れる電流を温度特性補償用のダイオードに流さない回路構成とし、かつ、ゲートバイアス電源回路は、小信号トランジスタを用いて電源回路側のインピーダンスを低くするような回路構成としたものである。

〔作用〕

この考案における高出力トランジスタ増幅器のバイアス電源回路は、高出力FETに流れる電流をダイオードから分離できることにより、温度補償の回路動作を可能とし、ゲートバイアス電源回路に小信号トランジスタを追加することにより、高出力FETのゲート電極に接続される抵抗の値を定電流回路を構成する小信号トランジスタの h_{fe} から切り離し、負バイアス電源回路の電源インピーダンスを下げることを可能とする。

〔実施例〕

以下、この考案の一実施例を図について説明する。第1図において、 Q_1 は第2の小信号トランジスタ、 $\text{R}_1 \sim \text{R}_4$ は第2の小信号トランジスタ Q_1 の動作点を決める抵抗である。回路を構成する他の部品は、従来の第2図及び第3図に示す回路構成と同一である。

第1図においては、第3図に示す回路図に比べて、高出力FET(1)のドレイン電流がダイオード(3)に流れない接続として、ダイオード(3)の定格容量は抵抗(4)に要求される値と独立に設定できるようにしている。さらに、第1図において、第2の小信号トランジスタ Q_1 のエミッタ・ベース間電圧が温度によつてコレクタ電流が変化する第1の小信号トランジスタ(2)によつて制御されるのでこれにより、第3図において説明した低出力トランジスタについての温度補償機能が高出力FETにおいても同様に実現できる。

また、第1図において高出力FET(1)のゲート電極から見た電源側のインピーダンス抵抗 R_1 と第2の小信号トランジスタ Q_1 の動作抵抗と抵抗 R_4 の

合成抵抗値となるので第3図に示す回路に比べて、十分の一程度の数百Ωにまで下げることができる。

〔考案の効果〕

以上のように、この考案によれば、高出力FETのバイアス電源回路に温度補償機能を持たせることを可能として、高出力トランジスタ増幅器の温度特性を改善し、高出力FETの負電圧電源回路のインピーダンスを低く抑えることを可能とし、高出力FETの飽和出力に近い出力レベルで動作させている場合でもゲート電圧の変動を抑制し、熱暴走を防ぐことができ、高出力トランジスタ増幅器の信頼性を維持することができる。

4. 図面の簡単な説明

第1図は、この考案の一実施例によるバイアス電源回路を示す回路図、第2図は従来の高出力トランジスタ増幅器のバイアス電源回路を示す回路図、第3図は従来の高出力トランジスタ増幅器のバイアス回路を示す回路図、第4図は高出力FETの利得対ドレイン電流特性を示す説明図である。

図において、(1)は高出力FET、(2)は第1の小

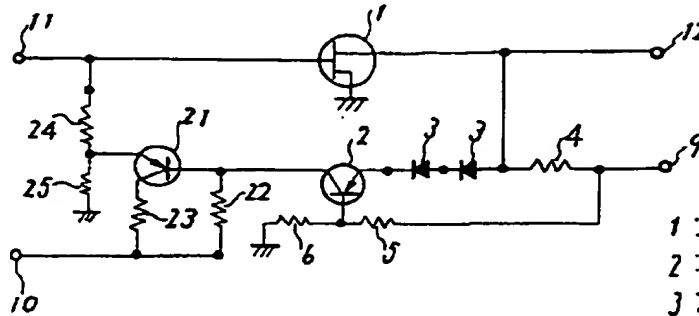
公開実用 昭和64-47116

信号トランジスタ、(3)はダイオード、(4)～(8)は抵抗、(9)は正電源電圧入力端子、(10)は負電源電圧入力端子、(11)はマイクロ波信号入力端子、(12)はマイクロ波信号出力端子、(13)は第2の小信号トランジスタ、(14)～(16)は抵抗である。

なお、図中同一符号は同一、又は相当部分を示す。

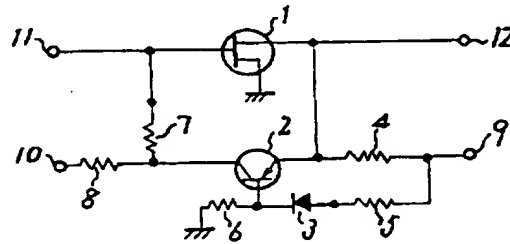
代理人 早 瀬 憲 一

第 1 図

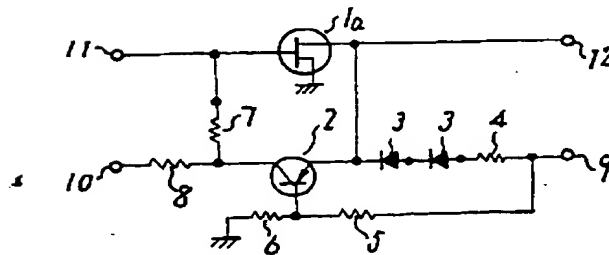


- 1: 高出力FET
 2: 第1の小信号トランジスタ
 3: ダイオード
 4~6, 22~25: 抵抗
 9: 正電源電圧端子
 10: 負電源電圧端子
 11: 信号入力端子
 12: 信号出力端子
 21: 第2の小信号トランジスタ

第 2 図



第 3 図



第 4 図

